

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030008752 A
(43)Date of publication of application: 29.01.2003

(21)Application number: 1020010043641
(22)Date of filing: 20.07.2001

(71)Applicant: KYUNGHEE UNIVERSITY
(72)Inventor: CHOI, JONG HYEON
JANG, JIN
KIM, DO YEONG

(51)Int. Cl. H01L 21/20

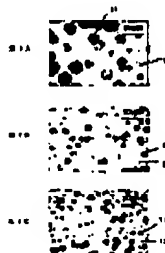
(54) METHOD FOR FORMING POLYSILICON FOR LCD

(57) Abstract:

PURPOSE: A method for forming polysilicon for LCD is provided to increase a size of grain and obtain an uniform thin film by performing a rapid thermal process or an ultraviolet process for amorphous silicon including a very small amount of metallic material.

CONSTITUTION: A metallic material is included into amorphous silicon in order to crystallize the amorphous silicon in a solid state. A plurality of cores are formed to crystallize the amorphous silicon. The plural cores are moved to a side portion in order to crystallize the amorphous silicon.

A grain boundary(12) formed by colliding the crystallized polysilicon grains(11) to each other. A very small amount of metallic material is included into the amorphous silicon by using the amorphous silicon layer, a buffer layer, an ion implanting method, plasma, and a solution including metal.



© KIPO 2003

Legal Status

Date of final disposal of an application (20030925)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

Best Available Copy

공개특허 특2003-0008752

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) . Int. Cl. ⁷
H01L 21/20

(11) 공개번호 특2003-0008752
(43) 공개일자 2003년01월29일

(21) 출원번호 10-2001-0043641
(22) 출원일자 2001년07월20일

(71) 출원인 학교법인 경희대학교
경기도 용인시 기흥읍 서원면 1 번지

(72) 발명자 장진
서울특별시서초구잠원동53현대아파트102동1103호
최종현
서울특별시동대문구회기동경희대학교물리학과
김도영
서울특별시동대문구회기동경희대학교물리학과

(74) 대리인 양순석

심사청구 : 있음

(54) 액정디스플레이용 다결정 실리콘 형성 방법

요약

본 발명은 극소 미량($10^{12} \sim 10^{14} \text{ cm}^{-2}$)의 금속이 포함된 비정질 실리콘박막을 다결정 실리콘박막으로 결정화하는데 있어서 그레인 크기를 크게 할 수 있고 균일도가 좋은 다결정 실리콘박막을 형성시키는데 의의가 있다.

비정질 실리콘을 결정화 할 때 극소미량의 금속을 포함시키는 단계와 급속열처리(rapid thermal annealing) 혹은 자외선(UV)을 이용해서 핵을 형성시키는 단계 그리고 급속열처리(rapid thermal annealing) 혹은 자외선(UV)을 이용해서 핵으로부터 측면으로 고상결정화 시켜서 이웃한 결정들과 부딪쳐서 그레인 경계가 형성되는 단계로 나눌 수 있다.

대표도

도 1

색인어
다결정 실리콘박막, 금속 다이실리사이드, 급속열처리, 측면성장

명세서

도면의 간단한 설명

공개특허 2003-0008752

도 1은 본 발명에 의한 예로, 반사경 현미경으로 관측된 니켈 증착시간에 따른 다이 실리사이드(NiSi_2)의 핵(침전)개수를 나타내는 사진. 도 1A는 면적당 니켈 농도가 $5 \times 10^{12} \text{ cm}^{-2}$, 도 1B는 $1 \times 10^{13} \text{ cm}^{-2}$, 도 1C는 $5 \times 10^{13} \text{ cm}^{-2}$ 을 갖는 미량의 금속 박막을 형성시킨 후 750도에서 10초 동안 유지시켜서 형성된 다결정 실리콘 박막 사진

도 2는 본 발명에 의한 예로, 니켈 다이실리사이드 핵(침전)으로부터 측면으로 그레이인이 결정화되는 과정의 반사경 현미경사진. 도 2A, 도 2B, 도 2C는 750 에서 각각 급속 열처리 유지시간 1초, 8초 그리고 20초동안 결정화시켜 얻은 사진.

도 3은 본 발명에 의한 예로, 미량의 금속이 포함된 비정질 실리콘박막을 급속 열처리에 따라서 결정화되는 과정의 도식화 그림. 도 3A는 급속 스퍼터링 후에 미량의 금속 박막증착단계, 도 3B는 결정화 핵으로 작용하는 금속 다이실리사이드 침전단계, 도 3C는 핵으로부터 측면으로 결정화되어 이웃한 그레이인과 부딪쳐서 그레이인 경계형성 단계

도 4는 본 발명에 의한 예로, 비정질 실리콘상에 면적당 니켈 함유량이 10^{14} cm^{-2} 미만으로 스퍼터링 후, 급속 열처리된 다결정 실리콘의 거시 그레이인 광학사진. 도4A와 도4B는 배율이 각각 200배, 500배로 확대한 반사경현미경 사진

도 5는 본 발명에 의한 예로, 비정질 실리콘 상에 면적당 니켈 함유량이 10^{14} cm^{-2} 이상으로 스퍼터링 후, 급속 열처리된 다결정 실리콘의 광학사진

도 6은 본 발명에 의한 예로, 니켈 스퍼터링 시간에 따른 1 cm^2 당 니켈 다이실리사이드 핵(침전) 개수

도 7은 본 발명에 의한 예로, 급속 열처리 온도에 따른 1 cm^2 당 니켈 다이실리사이드 핵(침전) 개수

도 8은 본 발명에 의한 예로, 미량의 금속이 포함된 비정질 실리콘박막을 급속 열처리 후, 결정화된 다결정 실리콘박막의 라만 산란 스펙트럼

도 9는 본 발명에 의한 예로, 미량의 니켈박막이 포함된 비정질 실리콘을 급속 열처리 후, 결정화된 다결정 실리콘 박막의 X선 회절 스펙트럼

도 10은 본 발명에 의한 예로, 급속 열처리 후, 니켈 다이실리사이드 핵으로부터 측면으로 성장시킨 다결정 실리콘의 투과전자현미경의 명시야상과 전자회절패턴

< 도면의 주요부분에 대한 부호의 설명 >

11. 그레이인, 12. 비정질 실리콘 박막,

21. 그레이인 경계,

31. 미량의 금속박막

32. 비정질 실리콘박막

33. 결정화 핵으로 작용하는 금속 다이실리사이드(MSi_2) 침전(Precipitate)

34. 다결정실리콘 그레이인 영역 35. 그레이인 경계영역

41. 다결정실리콘 박막

발명의 상세한 설명

발명의 목적

공개특허 2003-0008752

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 극소 미량($10^{12} \sim 10^{14} \text{ cm}^{-2}$)의 금속이 포함된 비정질 실리콘을 금속열처리 혹은 자외선(UV)을 이용해서 결정화시 균일한 간격의 핵형성과 핵으로부터 측면으로 결정화시켜서 거시 그레인과 균일한 다결정 실리콘 박막을 얻는 방법에 관한 것이다.

다결정 실리콘을 이용한 소자는 대부분 능동행렬 액정디스플레이(AMLCD: Active Matrix Liquid Crystal Display)의 능동소자와 전기발광(electro-luminescence)소자의 스위칭 소자 및 주변회로에 사용된다. 이때, 다결정 실리콘을 사용하는 박막트랜지스터 제작에서 증착 다결정 실리콘, 고온열처리를 이용한 기술 또는 레이저 열처리 기술을 이용한다. 레이저열처리 방법은 저온 공정이 가능하고 높은 전계효과 이동도(field effect mobility)를 구현할 수 있지만, 고가의 레이저 장비가 필요하므로 대체 기술이 많이 연구되고 있다.

현재 금속을 이용한 재결정화 하는 방법은 전형적인 고온공정(solid phase crystallization)보다 낮은 온도에서 빠른 시간에 결정화시킬 수 있는 장점을 가지고 있기 때문에 다양하게 연구되어 지고 있다. 크게 금속을 이용한 재결정화 하는 방법은 금속 유도 결정화(metal induced crystallization) 방법과 금속 유도 측면 결정화(metal induced lateral crystallization)방법이 있다. 그러나 금속을 이용한 경우 트랜지스터 소자의 금속오염으로 소자특성이 저하된다. 또는 금속양을 최소로 줄이고 양질의 다결정 실리콘박막을 형성시키기 위해서 금속이온(ion)을 이온주입기를 통해서 금속의 농도($10^{14} \sim 10^{16} \text{ cm}^{-2}$)를 줄이거나 0.5nm 정도 얇게 박막을 증착해서 고온처리, 금속열처리 혹은 레이저를 이용해서 양질의 막을 형성시키는 기술이 개발되어 있다. 하지만 현재 기술로는 다결정 실리콘에서 가장 중요시되는 그레인 크기가 작고, 균일도가 좋지 않고 대면적화에 문제가 많다.

발명이 이루고자 하는 기술적 과제

본 발명은 다결정 실리콘 박막을 제작함에 있어서 미량의 금속이 포함된 비정질 실리콘 박막을 금속열처리 혹은 자외선(UV)을 이용해서 고체상상태에서 결정화핵으로 작용하는 다이실리사이드(MSi_2) 침전(precipitate)을 균일한 간격으로 형성시키고, 측면으로 결정화시켜 거시 그레인과 균일한 박막을 얻는 것을 목적으로 하고 있다.

이를 위한 본 발명의 특징은 미량의 금속이 함유된 비정질 실리콘 박막을 제작하기 위해서 화학기상 증착(CVD) 혹은 플라즈마(Plasma) 스퍼터링(sputtering)방법으로 박막내에 금속함유량을 ($10^{12} \sim 10^{14} \text{ cm}^{-2}$)의 농도로 박막을 형성시킬 수 있다. 미량의 금속박막층 위치는 유리기판 혹은 유리기판위에 완충층(산화막, 질화막)을 형성한 다음, 비정질 실리콘 박막층 위에 형성시키는 방법, 유리기판 위에 먼저 미세금속 박막을 형성시키고, 비정질 실리콘을 형성한 다음 재결정화 시키는 방법과 유리 기판위에 완충층(질화막, 산화막)을 형성시키고 극소미량의 금속을 증착한 다음 비정질 실리콘 박막층을 형성시키는 것을 포함한다. 또한 금속이 소량 포함된 가스를 이용하여 화학기상증착방법 혹은 플라즈마 화학기상 증착방법으로 제작이 가능하다.

미량의 금속박막층이 포함된 비정질 실리콘 박막을 금속 열처리 또는 자외선(UV)을 이용해서 금속의 다이실리사이드(MSi_2) 핵을 균일하게 형성시키고, 측면으로 결정화시켜서 이웃한 그레인과 부딪쳐서 그레인 정제가 형성되는 다결정 실리콘 박막을 제작하는 것을 포함한다.

발명의 구성 및 작용

도 1은 비정질 실리콘 박막 두께 50nm 위에 니켈 스퍼터링 시간에 따른 니켈다이실리사이드(NiSi_2) 침전에 의해 형성된 핵으로부터 측면으로 결정화되고 있는 사진이다. 이차 이온 질량 분석법(SIMS:secondary ion mass spectroscopy)에 의하면 도 1A는 면적당 니켈 농도가 $5 \times 10^{13} \text{ cm}^{-2}$, 도 1B는 $1 \times 10^{13} \text{ cm}^{-2}$, 도 1C는 $5 \times 10^{13} \text{ cm}^{-2}$ 을 갖는 미량의 금속 박막을 형성시킨 후 750도에서 10초 동안 유지시켜서 형성된 다결정 실리콘 박막 사진이다. 금속 증착 시간에 따라서 다이실리사이드(NiSi_2) 침전(Precipitate) 개수의 증가로 다결정 실리콘의 그레인(11) 수가 증가되는 것을 알 수 있고, 비정질 실리콘(12)내에서 핵을 이루는 다이실리사이드(NiSi_2) 침전 간의 거리가 균일하게 좁아짐을 알 수 있다.

공개특허 특2003-0008752

도 2는 니켈 금속이 면적당 $5 \times 10^{12} \text{ cm}^{-2}$ 함유된 박막에서 금속열처리후 균일한 $5 \mu\text{m} \sim 20 \mu\text{m}$ 간격의 다이실리사이드(NiSi_2) 핵을 형성시키고 핵으로부터 측면으로 결정이 성장하고 있는 모습을 보여 주고 있다.

도 2에서 도 2A부터 도 2C는 750도 에서 각각 금속 열처리 유지시간 1초, 8초 그리고 20초동안 결정화시켜 얻은 사진이다. 유지 시간의 증가에 따라 핵으로부터 결정이 측면으로 성장되는 모습을 볼 수 있다. 니켈다이실리사이드(NiSi_2)의 침전되어진 핵으로부터 측면을 성장하면서 도 2C와 도 2D처럼 이웃해서 성장하는 그레인(11)과 부딪쳐서 그레인 경계(21)가 형성되는 것을 보여주고 있다. 도 2C에서 그레인(11) 결정화 크기는 평균적으로 $20 \mu\text{m}$ 이다. 사진에서 알 수 있듯이 이웃한 그레인(11)이 서로 부딪쳐서 그레인 경계(21)가 형성된 것을 보여주고 있다.

도 3은 도 2를 도식화한 그림을 보여주고 있다. 기판위에 극소 미량($5 \times 10^{12} \text{ cm}^{-2}$)의 금속(31)이 포함된 비정질 실리콘(32)을 550도에서 5분 동안 금속열처리과정을 통해서 핵으로 형성되는 금속 다이실리사이드(NiSi_2) 침전(33)을 도식화 한 그림이 도 3A와 3B 나타나 있다. 도 3C는 핵으로부터 NiSi_2 침전이 측면으로 이동되면서 측면으로 결정화되어 이웃한 그레인(34)과 부딪쳐서 그레인 경계(35)가 형성된 것이다.

도 4은 비정질 실리콘상에 면적당 니켈 함유량이 10^{12} cm^{-2} 미만으로 스퍼터링 후, 700도에서 금속 열처리된 다결정 실리콘의 거시 그레인 광학사진이다. 도 4A와 도 4B는 배율이 각각 200배, 500배로 확대한 반사경현미경 사진이다. 스퍼터링된 니켈량이 면적당 10^{12} 개 보다 작기 때문에 니켈 이동을 제한하게 되어 이웃한 그레인과 만나지 못하고, 고온으로 열처리된 다결정 실리콘 박막(41)내에 고립되어 하나의 니켈 다이실리사이드 핵(침전)으로부터 측면으로 성장하여 원모양의 그레인(11)이 형성된다.

도 5는 비정질 실리콘상에 면적당 니켈 함유량이 10^{14} cm^{-2} 이상으로 스퍼터링 후, 700도에서 금속 열처리된 다결정 실리콘의 광학사진이다. 스퍼터링된 니켈의 양이 면적당 10^{14} 개 이상이 되면 니켈다이실리사이드의 침전이 많아져서 서로 이웃한 다이실리사이드의 침전과 측면으로 성장되는 것을 방해하게 된다. 결과적으로 사진과 같이 그레인이 작은 다결정 실리콘 박막이 얻어진다.

도 6는 비정질 실리콘상에 노출된 플라즈마 스퍼터링 시간에 따른 1 cm^2 당 니켈 다이실리사이드 침전개수를 나타낸 것이다. 니켈이 스퍼터링된 비정질 실리콘 박막을 700도에서 10초동안 유지시키고 연속으로 10번 금속 열처리된 박막에서 작은 그레인으로 형성되어지는 수를 면적으로 나눈 것이다. 시간이 길어짐에 따라서 핵을 성장하는 니켈 다이실리사이드의 침전개수가 선형으로 증가함을 알 수 있다. 이 핵밀도는 비정질 실리콘에 포함된 니켈양에 비례함을 의미한다.

도 7는 비정질 실리콘 위에 니켈 농도가 면적당 $5 \times 10^{12} \text{ cm}^{-2}$ 스퍼터링후, 금속 열처리 온도에 따른 1 cm^2 당 니켈 다이실리사이드 침전개수를 나타낸 것이다. 온도가 650도에서 5분간 3번 연속으로 금속열처리된 것과, 700도에서 10초 동안 10번 연속으로 금속열처리된 것, 그리고 750도에서 10초 동안 연속으로 2번 열처리된 박막의 1 cm^2 당 그레인으로 성장하는 개수의 평균값을 나타낸다. 실제로는 $5 \times 5 \text{ cm}^2$ 상에 나타나는 개수를 단위 cm^2 당으로 계산한 것이다. 고온에서 금속 열처리함에 따라서 핵으로 성장하는 니켈 다이실리사이드(NiSi_2)의 침전개수가 증가하게 되어, 결과적으로 650도 혹은 700도에서 결정화된 박막의 그레인크기 보다 작은 그레인 크기로 성장함을 알 수 있다. 이는 결정화에 필요한 임계 핵의 크기가 온도가 증가할수록 작아짐을 알 수 있다.

도 8는 결정화된 다결정 실리콘의 라만 산란 특성을 보여주고 있다. 다결정 실리콘 박막의 광학 포논 모드의 결정화 위치는 파장이 520 cm^{-1} 에서 나타난다. 750도 20초 동안 연속으로 5번 금속 열처리해서 결정화 시킨 다결정 실리콘 박막이다. 도 4에서 결정화 위치는 520.60 cm^{-1} 로 결정화 특성이 좋다고 판단된다.

도 9은 니켈이 $5 \times 10^{12} \text{ cm}^{-2}$ 포함된 비정질 실리콘박막을 700도에서 20초 동안 유지시켜 연속으로 금속열처리된 다결정 실리콘 박막의 X선 회절 분광계(XRD)를 나타낸다. 금속열처리된 박막은 (220), (311) 방향보다 대부분 (111) 방향으로 성장함을 알 수 있다. 따라서 큰 발명에 의해 얻어진 다결정 실리콘은 대부분 (111) 방향으로 성장됨을 의미한다.

도 10A와 도 10B는 투과 전자 현미경으로 측정된 지름이 $20 \mu\text{m}$ 인 다결정 실리콘 박막의 병시야상과 전자회절패턴의 $<112>$ 면을 보여주고 있다. 전자회절패턴에서 점들이 원모양으로 뚜렷함으로 결정화 정도도가 좋고 결함이 거의 없는 단결정상을 보여주고 있다.

공개특허 2003-0008752

발명의 효과

본 발명은 비정질 실리콘박막을 다결정실리콘박막으로 결정화 시킬 때 크게 문제로 대두되고 있는 그레인 크기와 균일도에 있어서, 미량의 금속(M)을 포함한 비정질 실리콘 박막으로 금속열처리 혹은 자외선(UV)을 이용해서 재결정화 과정에서 형성되는 핵을 균일한 간격으로 형성 시키는 기술과 다결정 실리콘 그레인의 크기를 획기적으로 크고 균일한 다결정 실리콘 박막을 만들 수 있기 때문에, 레이저기술을 대체할 새로운 방법이다. 본 발명에 의한 다결정 실리콘은 평판 디스플레이, 태양전지, 반도체소자등의 제작에 응용될 수 있다.

(57) 청구의 범위

청구항 1.

비정질 실리콘을 결정화 시키는 방법에 있어서,

비정질 실리콘을 고체상태에서 결정화시키기 위해 금속(M)을 비정질 실리콘에 포함시키는 단계와

상기 금속이 결정화를 위한 여러개의 핵을 만드는 단계와

상기의 핵들이 측면으로 움직이면서 비정질 실리콘을 결정화시키는 단계와

상기의 결정화된 다결정 실리콘 그레인들이 서로 부딪쳐서 그레인 경계가 생기는 단계를 포함시키는 것을 특징으로 하는 비정질 실리콘의 결정화 방법.

청구항 2.

제1항에 있어서,

비정질 실리콘에 미량($10^{12} \sim 10^{14} \text{ cm}^{-2}$)의 금속을 포함시키기 위하여 상기의 비정질 실리콘 또는 완충층(질화막, 산화막)과

비정질 실리콘 적층위에 이온주입, 플라즈마, 금속접촉 혹은 금속을 포함하는 용액을 이용하는 것을 특징으로 하는 비정질 실리콘의 결정화 방법

청구항 3.

청구항1에 있어서,

금속의 다이실리사이드(MSi_2) 핵의 형성간격을 조절하기 위하여 금속이 면적당 평균 농도 $10^{12} \sim 10^{14} \text{ cm}^{-2}$ 을 형성하고 고온공정, 금속열처리 또는 자외선(UV)를 이용해서 핵을 형성시키는 방법

청구항 4.

제 2항에 있어서,

이온주입과 플라즈마 혹은 금속을 포함한 용액을 이용해서 미량($10^{12} \sim 10^{14} \text{ cm}^{-2}$)의 금속을 표면에 형성시키는 방법과

상기의 미량의 금속($10^{12} \sim 10^{14} \text{ cm}^{-2}$)을 포함하는 박막을 이용해서 고온열처리 혹은 자외선(UV)흡수율 이용하여 비정질 실리콘을 결정화 시키는 방법

공개특허 2003-0008752

청구항 5.

제 3항에 있어서,

미량의 금속박막을 증착할 때 섀도우마스크(shadow mask)를 이용하는 것을 특징으로 하는 비정질 실리콘의 결정화 방법

청구항 6.

제 1항에 있어서,

금속이 결정화 핵을 만들기 위하여 금속(M)과 실리콘(Si)이 금속 다이 실리사이드(MSi_2) 덩어리를 형성하는 것을 특징으로 하는 비정질 실리콘의 결정화 방법

청구항 7.

제 6항에 있어서,

금속 다이실리사이드(MSi_2)가 니켈 다이실리사이드($NiSi_2$)인 것을 특징으로 하는 비정질 실리콘의 결정화 방법

청구항 8.

제 1항에 있어서,

금속이 핵을 만들기 위하여 진공압력이 1mtorr~760torr에서 질소 (혹은 산소, 질소와 수소혼합가스, 아르곤) 분위기에서 550~800도 1ns~1000s동안 유지시키거나 혹은 연속으로 급속열처리 하는 방법과 대기압에서 질소 (혹은 산소, 질소와 수소혼합가스, 아르곤) 분위기에서 비정질 실리콘을 350~650도 온도를 올리는 단계를 포함하는 것을 특징으로 하는 비정질 실리콘의 결정화 방법

청구항 9.

제 1항에 있어서,

상기의 핵이 측면으로 움직이기 위하여 진공 혹은 대기압조건에서 질소 (혹은 산소, 질소와 수소혼합가스, 아르곤) 분위기에서 고온공정, 급속열처리 혹은 레이저를 이용해서 시료의 온도를 500~1200도 사이로 두고 1ns~10시간 동안 유지시키는 것을 특징으로 하는 비정질 실리콘의 결정화 방법

청구항 10.

제 1항에 있어서,

핵을 형성시킨 후 표면을 깨끗이 하기 위해서 아세톤, 메탄올, 불산(HF) 혹은 식각용액(wet etchant)을 이용한 표면 처리된 박막을 이용하여 비정질 실리콘을 결정화하는 방법

청구항 11.

제 1항에 있어서,

결정화를 위한 핵의 생성 및 결정화 핵이 측면으로 움직이는 것을 강화하기 위하여 시료에 전기장을 인가하는 것을 특징으로 하는 비정질 실리콘의 결정화 방법

공개특허 2003-0008752

청구항 12.

제 1항에 있어서,

결정화를 위해 핵이 움직여 비정질 실리콘을 결정화시킬 때에 핵으로부터 일정한 속도로 결정화가 이루어지는 것을 특징으로 하는 비정질 실리콘의 결정화 방법

청구항 13.

제 1항에 있어서,

두개의 그래인이 부딪치면서 직선의 그래인 경계를 이루는 것을 특징으로 하는 비정질 실리콘의 결정화 방법.

청구항 14.

비정질 실리콘을 결정화 시키는 방법에 있어서,

금속박막($10^{12} \sim 10^{14} \text{ cm}^{-2}$)을 유리기판위에 먼저 형성하는 단계와,

상기의 금속박막위에 비정질 실리콘을 증착 하는 단계와,

상기의 비정질 실리콘과 접한 금속이 결정화를 위한 핵을 만드는 단계와

상기의 핵이 측면으로 움직이면서 비정질 실리콘을 결정화시키는 단계와

상기의 결정화된 다결정 실리콘 그래인들이 서로 부딪쳐서 그래인 경계가 생기는 단계를 포함시키는 것을 특징으로 하는 비정질 실리콘의 결정화 방법.

청구항 15.

비정질 실리콘을 결정화 시키는 방법에 있어서,

니켈(Ni)이 $10^{12} \sim 10^{14} \text{ cm}^{-2}$ 포함된 비정질 실리콘을 기상상태에서 증착시키는 단계와

상기의 비정질 실리콘을 가열하여 다수의 NiSi_2 덩어리로 형성하기 위하여

비정질 실리콘을 가열하는 단계와,

상기의 결정화 핵들이 측면으로 움직이면서 연속적으로 비정질 실리콘을 결정화 시키기 위하여 비정질 실리콘을 가열하는 단계와,

상기의 결정화된 그래인들이 서로 부딪쳐서 결정 경계를 이루는 것을 특징으로 하는 비정질 실리콘의 결정화 방법.

청구항 16.

비정질 실리콘을 결정화 시키는 방법에 있어서,

니켈(Ni)이 $10^{12} \sim 10^{14} \text{ cm}^{-2}$ 포함된 비정질 실리콘을 기상상태에서 증착시키는 단계와,

상기의 비정질 실리콘을 1차로 350 ~ 800도 가열하는 단계와

공개특허 독2003-0008752

상기의 가열된 비정질 실리콘을 2차로 500 ~ 1200도 가열하여 비정질 실리콘을 결정화시키는 방법.

청구항 17.

비정질 실리콘을 결정화 시키는 방법에 있어서,

니켈(Ni)이 $10^{12} \sim 10^{14} \text{ cm}^{-2}$ 포함된 비정질 실리콘을 기체상태에서 증착시키는 단계와,

상기의 비정질 실리콘에 전기장이 있는 상태에서 400 ~ 1200도 가열하는 단계를 포함하는 것을 특징으로 하는 비정질 실리콘의 결정화 방법

청구항 18.

제 14항, 제 15항, 제 16항 및 제 17항 중의 어느 한 항에 있어서,

비정질 실리콘을 금속 열처리하기 위하여 자외선(UV)를 이용하는 것을 특징으로 하는 비정질 실리콘의 결정화 방법

청구항 19.

제 15항, 제 16항 및 제 17항 중의 어느 한 항에 있어서,

니켈을 비정질 실리콘에 포함시키기 위하여,

니켈을 가열하여 기체 상태의 니켈이 비정질 실리콘이 증착시에 포함되는 것을 특징으로 하는 비정질 실리콘의 결정화 방법

청구항 20.

제 15항, 제 16항 및 제 17항 중의 어느 한 항에 있어서

니켈을 비정질 실리콘에 포함시키기 위하여,

니켈을 포함한 분자들을 가열하여 기체상태에서 비정질 실리콘의 증착시에 포함되도록 하는 것을 특징으로 하는 비정질 실리콘의 결정화 방법.

청구항 21.

제 15항, 제 16항 및 제 17항 중의 어느 한 항에 있어서

니켈을 비정질 실리콘 위에 포함시키기 위하여,

니켈을 포함한 분자를 가열하여 비정질 실리콘상에 기상상태에서 증착시키는 것을 특징으로 하는 비정질 실리콘의 결정화 방법

청구항 22.

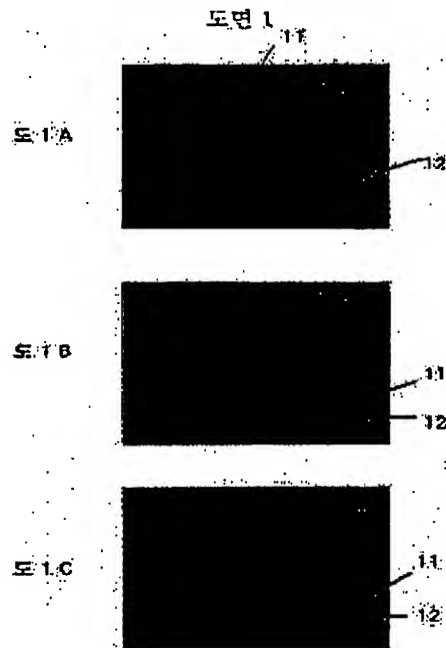
제 15항, 제 16항 및 제 17항 중의 어느 한 항에 있어서,

니켈을 비정질 실리콘 상에 포함시키기 위하여,

공개특허 2003-0008752

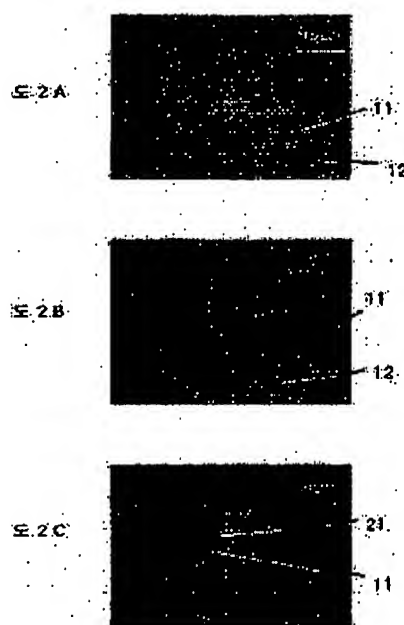
니켈이 포함된 고체상태를 비정질 실리콘에 접촉시키는 것을 특징으로 하는 비정질 실리콘의 결정화 방법.

도면



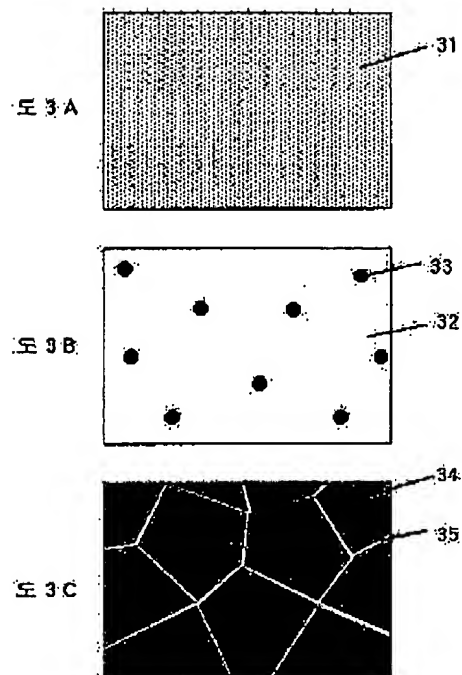
공개특허 2003-0008752

도면 2



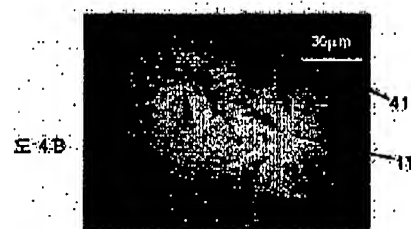
공개특허 특2003-0008752

도면 3

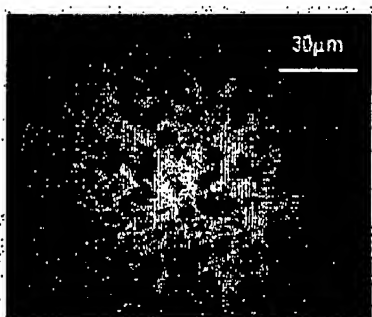


공개특허 2003-0008752

도면 4

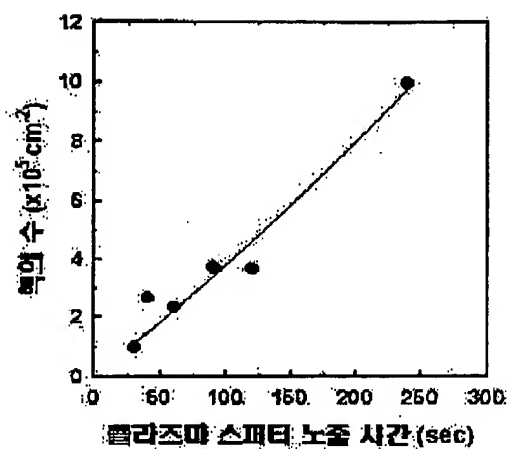


도면 5

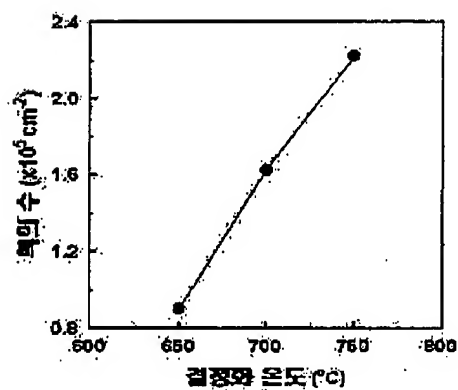


공개특허 2003-0008752

도면 6

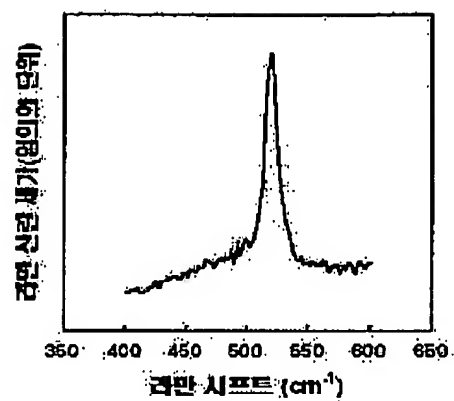


도면 7

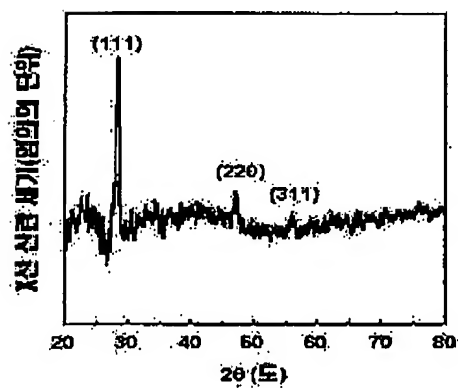


공개특허 2003-0008752

도면 8

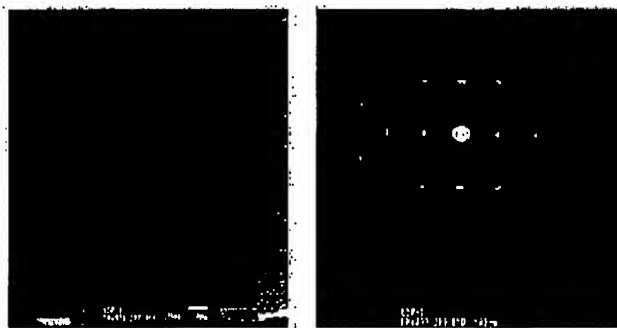


도면 9



공개특허 2003-0008752

도면 10



도 10 A

도 10 B

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.